

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(11)Publication number : 07-319692
(43)Date of publication of application : 08.12.1995

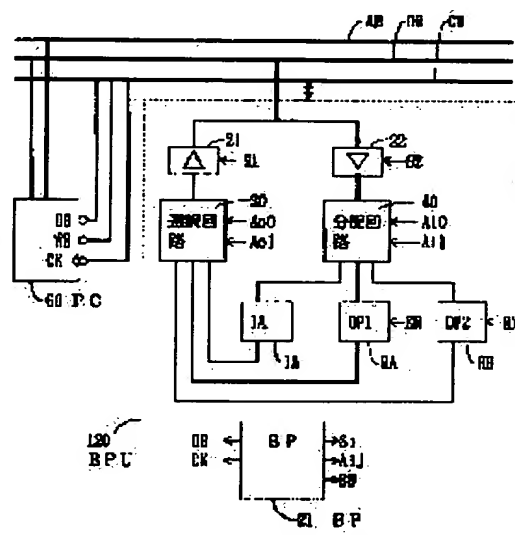
G06F 9/32
G05B 19/05

(71)Applicant : FUJI ELECTRIC CO LTD

(72)Inventor : ODAKA HIDEYUKI

(57)Abstract:

CONSTITUTION: A BPU 120 composed of a bus driver 22 and a distribution circuit 40 as a data input means, the bus driver 21 and a selection circuit 30 as a data output circuit, registers RA and RB, a head address generation circuit 1A and a bit processor (BP) 21 is used as the first control arithmetic means. The BP 21 performs classification into the first kind instruction and the second kind instruction when a sequence control instruction is inputted. In the case of the second kind instruction, the head address of a program for storing the execution program of the second kind instruction is obtained by retrieving memory inside the head address generation circuit 1A from information included in the instruction, an operand is read from the sequence control program and stored in the registers RA and RB and then, control is transferred to the second control arithmetic means and the second kind instruction is executed.



[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Dat of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998.2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-319692

(43) 公開日 平成7年(1995)12月8日

(51) Int.Cl.⁶

G 0 6 F 9/32

G 0 5 B 19/05

識別記号

3 6 0 C

庁内整理番号

F I

技術表示箇所

G 0 5 B 19/ 05

F

審査請求 未請求 請求項の数3 O L (全 11 頁)

(21) 出願番号 特願平6-110631

(22) 出願日 平成6年(1994)5月25日

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 小高 秀之

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

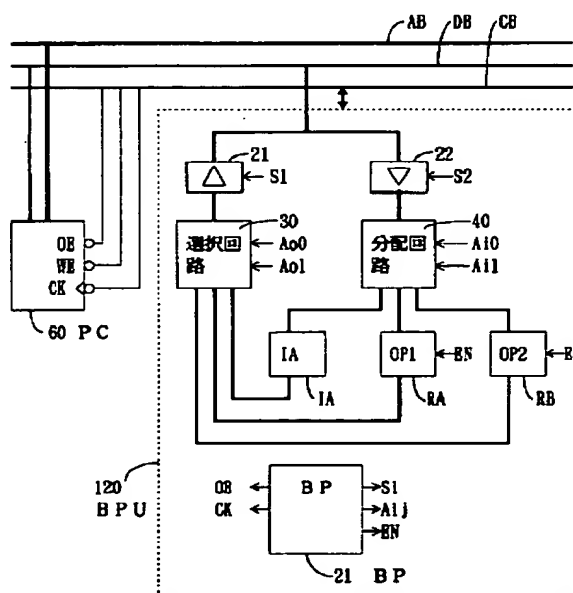
(74) 代理人 弁理士 山口 巖

(54) 【発明の名称】 プログラマブルコントローラ

(57) 【要約】

【目的】 第1種命令と第2種命令とからなるシーケンス制御プログラムの第1種、第2種命令のそれぞれを、第1制御演算手段と第2制御演算手段とによって処理する形式のプログラマブルコントローラの実行速度を上げる。

【構成】 データ入力手段としてのバスドライバ22と分配回路40、データ出力回路としてのバスドライバ21と選択回路30、レジスタRA、RB、先頭番地生成回路IA、ビットプロセッサ(BP)21とからなるBPU120を第1制御演算手段として使用し、BP21はシーケンス制御命令を入力すると第1種命令と第2種命令に区分し、第2種命令の場合は、この命令に含まれる情報から先頭番地生成回路IA内のメモリを検索して第2種命令の実行プログラムを格納するプログラムの先頭番地を得、レジスタRA、RBにオペランドをシーケンス制御プログラムから読み出して格納後、制御を第2制御演算手段に渡して第2種命令を実行させる。



【特許請求の範囲】

【請求項 1】第 1 種の命令と第 2 種の命令とからなるシーケンス制御用プログラムの内の前記第 1 種命令を実行する第 1 の制御演算手段と、前記第 2 種命令を実行する第 2 の制御演算手段と、前記シーケンス制御プログラムとこのプログラムの実行に必要なデータとを格納する記憶手段とを有するプログラマブルコントローラにおいて、

前記第 1 制御演算手段は、先頭番地生成回路とレジスタ群とデータ入力手段とデータ出力手段とを有し、前記シーケンス制御用プログラムの命令の形式から第 1 種命令と第 2 種命令の区分をし、第 2 種命令の場合は、この命令の実行プログラムの先頭番地を前記先頭番地生成回路の内部で生成して記憶し、さらに前記データ入力手段を介して前記第 1 種命令のオペランドを前記レジスタ群に格納し、前記第 2 制御演算手段は前記第 1 制御演算手段からの信号を受けて、前記先頭番地生成回路が記憶する content と前記レジスタ群が記憶する content とを、前記データ出力手段を介して入力し、この入力した内容に基づいて前記第 2 種命令を実行するものであることを特徴とするプログラマブルコントローラ。

【請求項 2】請求項 1 に記載のプログラマブルコントローラにおいて、

第 1 制御演算手段は番地出力手段を有し、レジスタ群に格納した第 2 種命令のオペランドが第 2 制御演算手段の演算処理の対象となるデータの所在番地を表す場合は、この番地を番地出力手段を介して記憶手段に出力し、この記憶手段から前期番地の内容をデータ入力手段を介して前記レジスタ群に格納するものであることを特徴とするプログラマブルコントローラ。

【請求項 3】請求項 2 に記載のプログラマブルコントローラにおいて、

第 1 制御演算手段は、第 2 種命令の内の特定の命令用の演算手段と判別手段とを有し、第 2 種命令の演算処理の対象となるデータと演算処理の処理結果を格納すべき記憶手段の番地とをレジスタ群に格納した場合に、このデータを使って行う演算処理が前記演算手段によって処理可能か否かを前記判別手段によって判別し、処理可能な場合は、前記記憶手段に番地出力回路を介して番地信号を出力し、前記演算手段による処理結果をデータ出力回路を介して前記記憶手段の前記番地信号によって指定された番地に格納するものであることを特徴とするプログラマブルコントローラ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、主としてビットと単位の演算処理を行う第 1 の制御演算手段（以下の説明では BPU の略語を使う）と、汎用のデータ処理を行う第 2 の制御演算手段（以下の説明では CPU の略語を使う）とによってシーケンス制御命令を実行するプログラマブ

ルコントローラに関する。

【0002】

【従来の技術】プログラマブルコントローラは一般に制御演算手段を有し、プログラマブルコントローラによるシーケンス制御は、この制御演算手段がシーケンス制御の内容を現すプログラムを実行することによって行われる。シーケンス制御は自動扉の前に人が検出されたことを条件に扉を開くといった条件制御や、扉を開き人の通過後に閉じるといった順序制御が大部分を占め、これらの制御は論理演算などのビット単位のデータ処理を主とする制御である。従って、プログラマブルコントローラを構成する制御演算手段が 1 個の場合は、この制御演算手段が実行するプログラムの大部分がアンド、オア、ノットなどの論理演算命令やビット単位のデータ転送などのビット単位の処理（以下の説明ではビットデータ処理と略記する）であるといえる。ところが制御演算手段の発達にともないプログラマブルコントローラは単に条件制御や順序制御にとどまらず、位置決め制御や、環境の温度制御など等簡単な論理演算に比較すると複雑でデータ量が多い演算を必要とする制御をも実行できるようになった。しかし大きいデータを扱い複雑な処理を行う命令を有する制御演算手段はビットデータ処理も勿論実行可能ではあるが、ビットデータ処理の処理速度に関しては、ビットデータ処理専用で作られた制御演算手段には遠く及ばない。そこで、プログラマブルコントローラが実行する命令の内、ビットデータ処理はこの処理専用で作られた第 1 の制御演算手段としての、ビットプロセッサ（以下の説明では BPU と略称する）を有するビット演算処理手段（BPU）を使用してシーケンス制御全体としての実行速度を上げ、大きいデータを扱う命令には、大きいデータの処理に適した第 2 の制御演算手段としての CPU を使用して高度のデータ処理をも行える形式のプログラマブルコントローラが製作されるようになった。以下の説明では BPU が実行するシーケンス制御命令を第 1 種命令、CPU が実行するシーケンス制御命令を第 2 種命令と記して区別する。

【0003】BPU と CPU の両方を有するプログラマブルコントローラの一例を、図 7 により説明する。図において、1 はプログラマブルコントローラである。10 は CPU、20 は BPU、30 はシステム ROM、40 はシステム RAM、50 はユーザー RAM であり、これらはプログラマブルコントローラ 1 の主要部を構成する要素である。システム ROM 30 は、このプログラマブルコントローラの主要機能を決定するシステムプログラムと、CPU が実行すべき第 2 種命令用のプログラム（第 2 種命令は CPU が固有にもつ機械語の一つのみで処理できない場合が多く、この場合は第 2 種命令の名称に代表されるサブルーチンプログラムにより処理される）が格納された読み出し専用のメモリである。システム RAM 40 は、シーケンス制御プログラムの実行に当たって必要とされ

るデータが格納される記憶手段としてのRAM (Random Access Memory) であり、ユーザーRAM50は、シーケンス制御プログラムが格納されるRAMである。ABはアドレスバスであって、CPU10またはBPU20の制御のもとに出力される番地信号を伝送する信号母線であり、DBはデータバスであって、このプログラマブルコントローラを構成する各部分のデータを伝送する信号母線であり、CBはコントロールバスであって、CPU10あるいはBPU20から出力される制御信号や、制御信号を入力された構成要素の応答信号を伝送する信号母線である。60はユーザーRAM50に格納されたシーケンス制御プログラムを構成する命令の格納番地を記憶するプログラムカウンタ(以下の説明ではPCと略記する)であって、PC60はCPU10またはBPU20からコントロールバスCBを介して端子OEに入力される信号が0になることを条件に、このカウンタが記憶するデータを番地信号としてアドレスバスABに出力し、CPU10からコントロールバスCBを介して端子WEに入力される信号が0になることを条件に、この時点でデータバスDBを経由して伝送されているデータを記憶し、また端子CKに0, 1, 0と変化するパルスが、1回入力されるごとに、このカウンタが記憶するデータに1を加算する。

【0004】図8の(a)は、プログラマブルコントローラ1によって処理される命令の一般的な形式を示した図であって、命令は命令の主要機能を現す命令コードICと、命令の処理の対象となるデータの所在場所を示すメモリの番地、などのオペランドOPi(iは番号1~3)とからなる。命令のメモリへの格納順序は、CPUの命令の実行順序に合わせて、例えば本例の様にオペランドが3個ある場合は、番地n~n+3番地のメモリに命令コードIC、第1オペランドOP1、第2オペランドOP2、第3オペランドOP3の順序にする。図8の(b)は命令コードICの構成例を示す図であって、本例では命令コードICを構成する各ビット単位の記憶要素の最上位のビットB0の内容が0か1かによって、第1種命令と第2種命令とを区分し、ビットB0に続く複数ビット群B1によって命令の種類を現し、ビット群B1に続くビット群B2によってオペランドの数などを現す。図8の(c)はオペランドOPiの構成例を示す図であって、本例では最上位からの複数ビットOB0でオペランドの種類別、例えばこのオペランドが即値として直接処理されるデータか、データの所在を示す番地かを表し、OB0に続く複数ビットOB1で即値や番地などを表す。

【0005】図7に示した構成要素を有するプログラマブルコントローラ1の動作を図9に示すフローチャートにより説明する。なお処理する命令は、図8に示したオペランドに番地を含む形式のものとする。図9に戻り、プログラマブルコントローラの電源が投入されるとCPU10(図7)がシステムROM30に格納されたシステムプログラムに従って、初期設定CS0を実行する。初期設

定CS0にはシーケンス制御プログラムの最初に実行すべき命令が格納されているメモリの番地をPC60に設定する動作が含まれる。初期設定CS0が終了した段階でCPU10はBPU20を起動させる信号をコントロールバスCBを介してBPU20に送信して、シーケンス制御を実行するための制御をBPU20に渡し、CPU10に課せられた他の仕事があればこれを実行する。BPU20はプログラマブルコントローラ1への起動信号を処理BS1において待ち、起動信号が入力されるとBPU20は処理BS2において、PC60を制御し、PC60が記憶するデータを番地信号として、ユーザーRAM50に格納されたシーケンス制御プログラムの命令を読み込み、処理BS3において第1種命令か否かを判断する。第1種命令の場合は処理BS4においてBPU20内部の回路によって処理する。第2種命令の場合は、CPU10にシーケンス制御の実行を再開する指令信号を送信して、制御をCPU10に渡し、CPU10からの処理完了の信号を図のフローチャートの符号SW2に示す命令実行上の位置で待機する。CPU10はBPU20からの信号を入力されると、その時実行中の他のプログラムがあれば、そのプログラムの実行は一時中断してフローチャートに符号SW1で示す命令実行上の位置からシーケンス制御の命令を実行する。即ち、BPU20から渡された制御に従って、PC60が示す番地からシーケンス制御プログラムの命令を処理CS1によって読み出し、この命令を構成する命令コードIC(図8の(b)参照)から処理CS2において命令の種類を判別し、さらにこの処理で実行内容を格納したプログラムの先頭番地を生成し、生成した先頭番地を処理CS3においてCPU中のレジスタに格納する。ついで処理CS4において先に読み込まれた命令コードICから、オペランドの数を生成し、処理CS5においてこの生成された数をCPU内のレジスタに格納する。処理CS6においては処理CS5において判明したオペランドの数だけ、オペランドを順次ユーザーRAM50から読み出し、CS6までの処理によって得られた情報を使用して処理CS7において最終のデータ処理を行い、完了後シーケンス制御をBPU20に渡す。

【0006】BPU20はフローチャートの符号SW2で示した位置からシーケンス制御の実行を再開し、処理BS5においてPC60が保持するデータに1を加算して、処理済のシーケンス制御命令の次の番地にPCの内容を歩進させる。その後処理BS2の実行に戻り、以後処理BS2~BS5の処理を繰り返す。以上に述べた処理BS2~BS5の一巡のサイクルは、実行サイクルと称され、1実行サイクルの所要時間はプログラマブルコントローラのプログラム処理速度の指標となる時間である。例えばシーケンス制御においてあるスイッチの開閉状態を検出するプログラムがあったとするとこのスイッチの開閉状態が検出できる機会は、1サイクル中に1度であるから、1実行サイクルの所要時間が短い程、リアルタイムに近い処理が行われる。シーケンス制御はリアルタイムの処理を基

本とするから実行サイクルはできるだけ短いことが望ましい。特に高速の機械の制御などにおいては、実行サイクルの長短がPCの性能を判断する基準になる。

【0007】

【発明が解決しようとする課題】前述したとおり、BPUとCPUとを構成要素とするプログラマブルコントローラにおいては、シーケンス制御プログラムのなかで多数をしめるビットデータ処理を、ビットデータ処理専用10 に作られたBPUに実行させることによって、実行サイクルの短縮を行っている。ところがシーケンス制御に要求される制御の内容が次第に高度化し、プログラムの量も増えるに及んで第2種命令が占める割合や、実行回数が増大し、実行サイクルの短縮のためには、第2種命令自体の処理時間の短縮が強く要請されるようになっている。

【0008】本発明の目的は、上述した要請に答えるためにプログラマブルコントローラにおけるシーケンス制御プログラムを構成する第2命令の実行時間を短縮することである。

【0009】

【課題を解決するための手段】前述の目的を達成するため、本発明によれば、第1種の命令と第2種の命令とからなるシーケンス制御用プログラムの内の第1種命令を実行する第1の制御演算手段と、第2種命令を実行する第2の制御演算手段と、シーケンス制御プログラムとこのプログラムの実行に必要なデータとを格納する記憶手段とを有するプログラマブルコントローラにおいて、第1制御演算手段は、先頭番地生成回路とレジスタ群とデータ入力手段とデータ出力手段とを有し、シーケンス制御用プログラムの命令の形式から第1種命令と第2種命令の区分をし、第2種命令の場合は、この命令の実行プログラムの先頭番地を先頭番地生成回路内部で生成して記憶し、さらにデータ入力手段を介して第1種命令のオペランドをレジスタ群に格納し、第2制御演算手段は第1制御演算手段からの信号を受けて、先頭番地生成回路が記憶する内容とレジスタ群が記憶する内容とを、データ出力手段を介して入力し、この入力した内容に基づいて第2種命令を実行するものであることを特徴とする。

【0010】また、第1制御演算手段は番地出力手段を有し、レジスタ群に格納した第2種命令のオペランドが第2制御演算手段の演算処理の対象となるデータの所在番地を表す場合は、この番地を番地出力手段を介して記憶手段に出力し、この記憶手段から番地の内容をデータ入力手段を介してレジスタ群に格納するものであることを特徴とする。

【0011】さらに、第1制御演算手段は、第2種命令の内の特定の命令用の演算手段と判別手段とを有し、第2種命令の演算処理の対象となるデータと演算処理の処理結果を格納すべき記憶手段の番地とをレジスタ群に格納した場合に、このデータを使って行う演算処理が演算

手段によって処理可能か否かを判別手段によって判別し、処理可能な場合は、記憶手段に番地出力回路を介して番地信号を出力し、演算手段による処理結果をデータ出力回路を介して記憶手段の番地信号によって指定された番地に格納するものであることを特徴とする。

【0012】

【作用】第1種命令と第2種命令とからなるシーケンス制御用プログラムの内の第1種命令を実行する第1の制御演算手段と、シーケンス制御プログラムの内の第2種命令を実行する第2の制御演算手段と、シーケンス制御プログラムとこのプログラムの実行に必要なデータとを格納する記憶手段とを有するプログラマブルコントローラにおいて、第1の制御演算手段は、シーケンス制御命令を読み込むと、この命令の形式から第1種命令と第2種命令の区分をし、第2種命令の場合は、先頭番地生成回路にこの命令の実行プログラムの先頭番地を記憶し、さらにデータ入力手段を介して、この命令のオペランドを入力し、レジスタ群に記憶する。第2の制御演算手段は第1の制御演算手段からシーケンス制御命令の実行を促す信号を受けると、第1の制御演算手段が有するデータ出力手段を介して第2種命令の実行プログラムの先頭番地を先頭番地生成回路から入力し、この命令のオペランドをレジスタ群から入力して、第2種命令の実行プログラムを実行する。

【0013】さらに、第1制御演算手段に番地出力手段を付加したものにおいては、レジスタ群に格納した応用命令のオペランドが第2の制御演算手段の演算処理の対象となるデータの所在番地を表す場合は、この番地を番地出力手段を介して記憶手段に出力し、記憶手段から番地の内容をデータ入力手段を介してレジスタ群に格納し、第2の制御演算手段は第1の制御演算手段が有するデータ出力手段を介して第2種命令プログラムの先頭番地を先頭番地生成回路から入力し、この命令の実行に必要なオペランドをレジスタ群から入力し、入力したオペランドを直接処理の対象とするデータとして扱い、第2種命令プログラムを実行する。

【0014】さらにまた、第1制御演算手段に演算処理手段を付加したものにおいては、第1制御演算手段は、第2種命令の演算処理の対象となるデータと演算処理の処理結果を格納すべき記憶手段の番地とをレジスタ群に格納した場合に、このデータを使って行う演算処理が自己が有する演算手段によって処理可能であることを、自己が有する判別回路の出力信号が示す場合は、自己のレジスタに格納している処理結果を格納すべき記憶手段の番地を番地出力回路を介して出力し、この番地に演算手段の処理結果を直接格納する。

【0015】

【実施例】

（実施例1）図1に請求項1に記載のプログラマブルコントローラの一実施例の内、第1の演算手段としてのB

P U 120 のブロック図を示す。この B P U を構成要素とするプログラマブルコントローラ（以下の説明ではプログラマブルコントローラ 100 と称する）は、図 7 に示したプログラマブルコントローラと B P U の部分を除いて同一であり、同一のものは同一の符号を付して説明を省略する。なお図 1 において、P C 60、アドレスバス AB、データバス DB、コントロールバス CB は、図 7 の同符号で示されたものと同一であり、B P U 120 の動作に直接関係する部分であるので、B P U 120 のブロック図とともに示されている。

【0016】B P U 120 は、ビットプロセッサ（以下の説明では B P の略号を使用する）21、データ入力手段としてのバスドライバ 22 と分配回路 40、データ出力手段としてのバスドライバ 21 と選択回路 30 とからなる。B P 21 は、ビットデータ処理と B P U 全体の制御とを行う回路である。バスドライバ 21 (i) は番号を示す二桁目の数 1 または 2) は二値の制御信号 S_i (i は 1 または 2 の番号) を入力されて、この信号が能動の値を示すときは、このバスドライバのデータバスに接続する入力側の端子への入力データを出力側の端子に出力し、非能動の値を示すときはデータの通過を遮断する回路であり、選択回路 30 は選択信号として二値の制御信号 A₀0 と A₀1 とを入力され、この信号の組み合わせで作られる数値に対応して、データ入力端子に入力される複数組のデータの中から一組のデータを選択して出力側の端子に出力する回路であり、分配回路 40 は分配信号として二値の制御信号 A_i0 と A_i1 とを入力され、この信号の組み合わせで作られる数値に対応して、データ入力端子への一組のデータを、複数組ある出力データ端子群の中の一組に出力する回路である。R A、R B は分配回路 40 が出力するデータを入力されて、このデータを信号 E N が能動の値になった時点で記憶し、この記憶したデータを選択回路 30 に出力するレジスタであり、I A は分配回路 40 を介して命令コードを入力されて、基本命令と応用命令の区分をし、応用命令の場合はその応用命令が格納されているメモリの先頭番地をレジスタに格納し、この格納した先頭番地を選択回路 30 に出力する命令先頭番地生成回路である。

【0017】図 2 に命令先頭番地生成回路 I A のブロック図を示す。図において、71 はレジスタであり、このレジスタを構成する最高位のビット 72 の内容によって第 1 種命令と第 2 種命令とが区分される。例えばこのビットの内容が 0 の場合は、このビットから出力される信号によって、図外のビット処理回路が能動となって論理演算等のビット処理が行われ、1 ならば以下に説明する第 2 種命令に関する処理が行われる。レジスタ 71 の内 73 で示される部分は第 2 種命令の先頭番地を格納した R A M 75 中の番地を指定するデータが格納された命令部であり、例えばこの命令部が 8 ビット構成の場合は 256 個の異なる第 2 種命令の先頭番地の格納場所を指定することができる。この命令部で選択された R A M 75 の内容は命令先頭

番地レジスタ 76 に格納されこのレジスタの内容が選択回路 30 (図 1 参照) に出力される。74 はレジスタ 71 中のオペランド部であり、この命令の場合はオペランドの個数を示す数値が格納されている。以下の説明では、先頭番地レジスタ 76 に記憶されているデータを先頭番地生成回路 I A が記憶するデータとして説明する。

【0018】図 1 のを参照して、プログラマブルコントローラ 100 の動作を図 8 に示した形式の命令を実行する場合を例にして説明する。B P U 120 に命令の実行が移ると、B P 21 は P C 60 の端子 O E への信号を 0 にして P C 60 が保持するシーケンス制御命令が格納されているユーザー R A M 50 (図 6 参照) への番地信号を出力して、この番地にある命令コード I C (この番地には図 7 に示した命令形式の命令例えば四則演算命令が格納されているものとする) を出力させ、同時に信号 S₂ を能動にし、命令コード I C を分配回路 40 に入力し、さらに同時に分配回路への入力データが先頭番地生成回路 I A に入力されるように、信号 A_i0 と A_i1 とを分配回路に入力し、先頭番地生成回路 I A に入力されされた命令コード I C がデータとして確立する時点に合わせて、第 2 種命令の先頭番地を先頭番地生成回路 I A に記憶させる。以上に説明したとおり、命令コード I C の読み込みから命令先頭番地生成回路 I A に記憶されるまでの処理は、ユーザー R A M 50 に番地信号が到達し、この番地の内容が先頭番地生成回路 I A に記憶されるまでの回路を構成する。各回路要素の同時に進行する動作によるので、B P U の 1 命令の処理時間としては最短の処理時間である 1 マシンサイクルの間に行われる。また先頭番地生成回路 I A のオペランド部 74 (図 2 参照) から発せられるオペランドの個数を示す信号により、B P 21 は P C 60 の端子 C K に 1 つのパルス信号を送信して P C の内容に 1 を加算し、以上に説明した命令コード I C の入力動作と同様にして、命令コード I C の次の番地に格納されているオペランド O P₁ を読み出し、同時に分配回路への信号 A_i0、A_i1 が示す数を歩進させて分配回路の出力がレジスタ R A に入力される様に制御してオペランド O P₁ をレジスタ R A に格納する。さらに同様にして P C 60 の内容を歩進させ、オペランド O P₁ の格納番地に続く番地に格納されているオペランド O P₂ をレジスタ R B に格納する。一つのオペランドを読み出してレジスタに格納するまでの処理も同時に進行する回路素子の動作によって行われるので、B P U 21 の 1 マシンサイクル内に完了する。

【0019】次いで B P U 120 は図外の C P U にシーケンス制御命令の実行を促す信号を送信する。この信号を受けて C P U は選択回路 30 とバスドライバ 21 とにコントロールバス C B を介して信号を送り命令先頭番地生成回路 I A の内容で示される第 2 種命令プログラムの先頭番地を入力し、オペランド O P₁、O P₂ をレジスタ R A、R B から入力して、第 2 種読命令プログラムを実行する。

【0020】図 3 は以上に説明した B P U 120 を有する

プログラマブルコントローラの初期設定プログラムを除く動作を示すフローチャートであり、この図を参照して図9のフローチャートによって説明した従来の技術によるプログラマブルコントローラの動作との差異を説明する。BPU120（図1）は上述のとおり一つの命令の実行時間としては最短の1マシンサイクルの間に、処理BS20を完了する。処理BS20の内容は命令コード読み込み処理BS2と、BPUでの処理の可否を判断する処理BS3と、第2種命令用プログラムの先頭番地読み出しとこの先頭番地のレジスタへの書き込み処理BS31である。図9に示したとおり従来のプログラマブルコントローラにおいては、ここまでに相当する処理をBPU20による処理BS2と処理BS3および、CPU10による処理CS1～処理CS3によって実行する。従って従来のプログラマブルコントローラ1（図7参照）においてはCPU10による処理CS1～処理CS3を余計に必要とし、これを処理時間で比較すると、本実施例のプログラマブルコントローラ100においては1マシンサイクルで完了する処理が、従来のプログラマブルコントローラ1においては、CPU10による処理CS1～処理CS3はそれぞれ1マシンサイクル以上の処理時間を必要とするので、BPU20による処理部分の処理時間を1マシンサイクルとしてこれを加え、合計少なくとも4マシンサイクルを要する。また図3に示す処理BS32においても、プログラマブルコントローラ100においては一つのオペランドあたり、命令コード読み込みの場合と同様にして1マシンサイクルで完了するが、従来のプログラマブルコントローラ1の場合は、図9に示す処理CS4と処理CS5の2個の処理を必要としデータ読み込みにはデータ読み込みが終了したか否かの判断をする処理が含まれるので、少なくとも2マシンサイクルを必要とする。

【0021】なお本実施例のシーケンス制御プログラム実行開始時の図外のCPUによる初期設定においては、応用命令プログラムの先頭番地を、図外の外部の記憶装置から読み出してデータバスDBを経由し、図1に示した先頭番地生成回路IAのRAM75（図2参照）に格納する処理が含まれる。

（実施例2）図4に請求項2に記載のプログラマブルコントローラの一実施例の内、第1の制御演算手段としてのBPU220のブロック図を示す。このBPU220を構成要素とするプログラマブルコントローラは、図7に示したプログラマブルコントローラとBPUの部分を除いて同一であり、同一のものは同一の符号を付して説明を省略する。

【0022】BPU220は、BPU21A、データ入力手段としてのバスドライバ22と分配回路40、データ出力手段としてのバスドライバ21と選択回路30、レジスタRA、RB、命令先頭番地生成回路IA、番地生出力手段としてのバスドライバ23と選択回路31と番地生成回路80とレジスタRT、を構成要素とする。これらの構成要素のうち、図

1に示したものと同一のものは、同一の符号を付して説明を省略する。BPU21Aは選択回路31を、この回路への選択信号Ai2、Ai3を出力して制御する点を除き、図1に示したBPU21と同一の機能を有するビットプロセッサであり、番地生成回路80は、この回路の入力データ端子に入力されるデータの中の番地に関する部分からPC60が出力する番地信号と同一の形式の番地信号を生成する回路であり、例えば、図8の(c)に示した形式のオペランドの場合は、番地部分OB1の各ビットには1、他のビットには0との論理積演算を施して番地部分を残して上位のビットを0にする。

【0023】BPU220を構成要素とするプログラマブルコントローラの命令の実行を図8に示した形式の命令を実行する場合を例にし、オペランドOP1～OP3は演算に使用されるデータを格納する記憶手段の番地を表すものとして、図4を参照して説明する。シーケンス制御プログラムの実行がBPU220に移ると、BPU21Aは先ず、図1により説明のBPU21と同様にして命令コードIC（図8）を読み込み命令先頭番地生成回路IAに格納し、次いでバスドライバ22と分配回路40とを介して、オペランドOP1をレジスタRAに、オペランドOP2をレジスタRBに格納する。

【0024】次いで、BPU21Aは、次に述べる動作を開始する。先ず、選択回路31を制御して、レジスタRAの内容、即ちオペランドOP1を番地生成回路80に出力し、番地生成回路80によってオペランドOP1から生成された番地信号をレジスタRTに格納する。次いで、バスドライバ23を制御してアドレスバスABに出力し、オペランドOP1が示すメモリ番地に格納されているデータを図外のユーザーRAMからデータバスDB上に出力させ、このデータがデータバス上で安定する時点においてバスドライバ22と分配回路40を制御してレジスタRAに格納する。以上に説明したオペランドOP1から生成される番地によって指定されるメモリの内容をレジスタに格納するまでの動作は、番地信号をレジスタRTに格納するまでの1マシンサイクルと、番地出力からこの番地で指定された記憶手段の内容をレジスタRAに格納するまでの1マシンサイクル、計2マシンサイクルで行われる。BPU220は上述のとおりにして、直接演算されるデータをオペランドとして生成し、応用プログラムの先頭番地とともにCPUに渡す。

【0025】BPU220を有するプログラマブルコントローラの動作は、図3のフローチャートによって説明した実施例1のプログラマブルコントローラの動作と同様であるが、図3に示す処理CS11において、本実施例においては、オペランドとしてBPU220によって既に作成されているデータが直接演算の対象とされる点が異なる。実施例1のプログラマブルコントローラの場合は処理CS11において直接演算の対象とするデータを得るまでの動作が、データの所在番地の生成と、生成された所在

番地によるデータの読み出しの準備と、データの読み込みの、それぞれ異なるマシンサイクルに分けてCPUにより行われ、3マシンサイクル以上の時間を必要とするが、これに相当する処理を本実施例では前述のとおり2マシンサイクルで完了するので、実行サイクルがさらに短縮される。

〔実施例3〕図5に請求項3に記載のプログラマブルコントローラの一実施例の内、第1の制御演算手段としてのBPU320のブロック図を示す。このBPU320を構成要素とするプログラマブルコントローラは、図7に示したプログラマブルコントローラ1とBPUの部分を除いて同一であり、同一のものは同一の符号を付して説明を省略する。

〔0026〕BPU320は、BPU21B、データ入力手段としてのバスドライバ22と分配回路40、データ出力手段としてのバスドライバ21と選択回路30、レジスタRA, RB, RC、命令先頭番地生成回路1A、番地出力手段としてのバスドライバ23と選択回路31と番地生成回路80とレジスタRT、演算手段としての選択回路32と演算器90を構成要素とする。これらの構成要素のうち、図4に示したものと同一のものは、同一の符号を付して説明を省略する。

〔0027〕BPU21Bは、選択信号Aij(jは番号1~2)がAi3までの3個の出力信号を有し、この信号によって選択回路30への8組のデータ群の内から一つのデータ群が選択できる機能を持ち、判別回路100からの信号SEの入力値を条件とする動作機能が付加されている点を除き、図4に示したBPU21Aと同一の機能を有する。演算器90は、レジスタRAとレジスタRBとからのデータを入力されて、この二つのデータの演算、例えば二つのデータの積を算出して選択回路32に出力する回路であり、演算結果の他にこの演算器の実在を示す信号SA10を判別回路100に出力する。91はBPU320に実装が予定されている演算器であるが実在しない。判別回路100は命令先頭番地生成回路1Aからの先頭番地信号IA1を入力されて、その番地信号から、BPU320内で処理可能な命令か否かを判断し、処理可能と判断した場合は、演算器の存否を示す信号SA1i(iは2桁目の番号)を参照し、演算器が実在するならば、信号SEを能動の値にし、BPU320内で処理不能または演算器が存在しない場合は信号SEを非能動の値にする。

〔0028〕BPU320を有するプログラマブルコントローラの動作を図5により、またこのプログラマブルコントローラの初期設定完了後の動作を示すフローチャート図6を参照して説明する。なお図の示すフローチャートは図3に示したフローチャートと同一の処理を表す部分は同一の符号を付して説明を省略する。初期設定が完了しBPU320に制御が渡されると、BPU21Bは処理BS2~処理BS32までを実行する。ここまでの処理により命令先頭番地生成回路1Aには応用命令の先頭番地が、レジスタRA, RBそれぞれデータの所在を表す番地を含むオ

ペランドOP1, OP2が格納され、またレジスタRCには演算結果を格納すべき番地を含むオペランドOP3が格納される。

〔0029〕さらにオペランドの形式からBPU21Bによってこのオペランドがデータの所在を表す番地と判断される場合は、BPU21Bは選択回路31によって先ずレジスタRAを選択して番地生成回路80を介して生成された番地をレジスタRTに格納し、続けてバスドライバ23を制御して番地をアドレスバスABに出力し、この番地で指定されたメモリの内容をデータバスDBに出力させ、データが安定した時点でバスドライバ22を制御してこのデータをレジスタRAに格納する。同様にしてレジスタRBにオペランドOP2から生成されるメモリ番地の内容を、レジスタRCにオペランドOP3から生成されるメモリ番地の内容を格納する。

〔0030〕同時に判別回路100は、命令先頭番地生成回路1Aの出力IA1と、演算器からの信号SA1iを入力し、処理可能な命令であって、かつこの命令の演算器が存在するならばBPU21Bへの信号SEを能動にする。BPU21Bは、信号SEが非能動の場合は図6に示す処理BS33において、制御をCPUに渡し、CPUによる処理の完了をフローチャート上SW2で示される位置で待機し、CPUによる処理の完了を待って処理BS5以下を実行する。信号SEが能動の場合は、図6に処理BS34として示す処理を次のとおり実行する。即ち、BPU21B(図5参照)は選択回路31を制御してレジスタRCの内容を番地生成回路80とレジスタRTを介して番地信号をアドレスバスABに出力し、選択回路32と選択回路30とを介して演算器90の出力データをデータバスDBに出力する。データバスDB上でのデータが安定する時点に図外のRAMにデータ書き込みを促す信号を送信し、データバスDB上のデータをそのRAMに書き込む。

〔0031〕演算は以上に説明したとおり、レジスタRAとレジスタRBにデータが入力されると直ちに引き続き演算器90によって行われるので、CPUにそれぞれのデータを読み込んで処理する方法に比較して早い処理が行われる。

〔0032〕

〔発明の効果〕以上に説明したとおり、本発明は、第1種命令と第2種命令とからなるシーケンス制御用プログラムの内の第1種命令を実行する第1の制御演算手段と、シーケンス制御プログラムの内の第2種命令を実行する第2の制御演算手段と、シーケンス制御プログラムとこのプログラムの実行に必要なデータとを格納する記憶手段とを有するプログラマブルコントローラにおいて、第1制御演算手段は、先頭番地生成回路とレジスタ群とデータ格納手段とデータ出力手段とを有し、シーケンス制御用プログラムの命令の形式から第1種命令と第2種命令の区分けをし、第2種命令の場合は、この命令の実行プログラムの先頭番地を先頭番地生成回路の内部

で生成して記憶し、さらにデータ入力手段を介してオペランドをレジスタ群に格納し、第2制御演算手段は第1の制御演算手段からの信号を入力して、先頭番地生成回路が記憶する内容とレジスタ群が記憶する内容とを、データ出力手段を介して入力し、この入力した内容に基づいて応用命令を実行するものである。本発明によれば、前述のとおり従来のプログラマブルコントローラにおいては、第2種命令の実行プログラムの先頭番地の確定までを第2の制御演算手段によって行うために数マシーンサイクル以上を要したものを、第1の制御演算手段によって行い1マシーンサイクルで処理可能とするので、高速な実行サイクルを有するプログラマブルコントローラが提供される。

【0033】また、第1の制御演算手段は番地出力手段を有し、レジスタ群に格納した第2種命令のオペランドが第2の制御演算手段の演算処理の対象となるデータの所在番地を表す場合は、この番地を番地出力手段を介して記憶手段に出力し、この記憶手段から番地の内容をデータ入力手段を介してレジスタ群に格納するので、第2の制御演算手段は、自体でオペランドに含まれる番地を示すデータを使用してデータを読み出す必要がなく、データ読み出しの動作は、データ読み出し速度の早い第1制御演算手段によるから、さらに高速のプログラマブルコントローラが提供される。

【0034】さらにまた、第1制御演算手段は、第2種命令の内の特定の命令用の演算手段と判別手段とを有し、第2種命令の演算処理の対象となるデータと演算処理の処理結果を格納すべき記憶手段の番地とをレジスタ群に格納した場合に、このデータを使って行う演算処理が演算手段によって処理可能か否かを判別手段によって判別し、処理可能な場合は、直接記憶手段の指定された番地に格納するので、さらに高速に動作するプログラマブルコントローラが提供される。

【図面の簡単な説明】

【図1】請求項1記載の発明による一実施例のプログラマブルコントローラの第1の制御演算手段としてのBPU120のブロック図と周辺の回路を示す図

【図2】請求項1記載の発明による一実施例のプログラマブルコントローラの第1の制御演算手段としてのBPU

Uが有する先頭番地生成回路IAのブロック図

【図3】請求項1記載の発明による一実施例のプログラマブルコントローラの動作を説明するフローチャート

【図4】請求項2記載の発明による一実施例のプログラマブルコントローラの第1の制御演算手段としてのBPU220のブロック図と周辺回路を示す図

【図5】請求項3記載の発明による一実施例のプログラマブルコントローラの第1の制御演算手段としてのBPU320のブロック図と周辺の回路を示す図

【図6】請求項3記載の発明による一実施例のプログラマブルコントローラの動作を説明するフローチャート

【図7】従来の第1の制御演算手段と第2の制御演算手段とを有するプログラマブルコントローラの主要部を示すブロック図

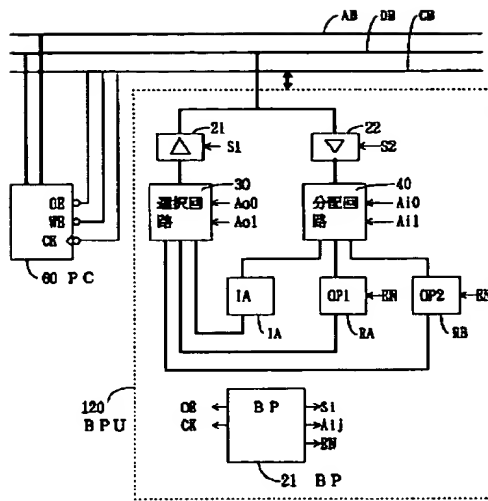
【図8】シーケンス制御プログラムの命令の形式の一例の説明図であって、(a)は一つの命令の全体を現す図、(b)は命令コードICを現す図、(c)はオペランドOPを現す図

【図9】従来の第1の制御演算手段と第2の制御演算手段とを有するプログラマブルコントローラの一例の動作を示すフローチャート

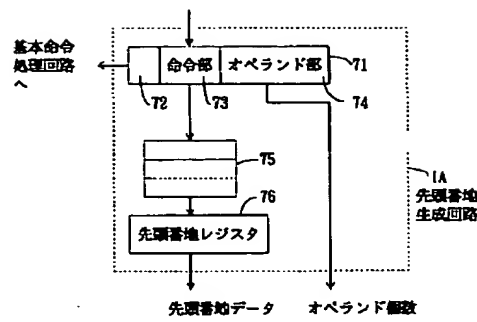
【符号の説明】

1	プログラマブルコントローラ
120,220,320,20	第1の制御演算手段(BPU)
BPU	ビットデータ処理プロセッサ
21,22,23	バスドライバ
S1,S2,S3	バスドライバ制御信号
30	選択回路
40	分配回路
30	出力制御信号
A00,A01	先頭番地生成回路
IA	レジスタ
RA,RB,RC,RT	レジスタ
EN	記憶時点を与える信号
PC	シーケンス制御プログラム用プログラムカウンタ
AB	アドレスバス
DB	データバス
CB	コントロールバス

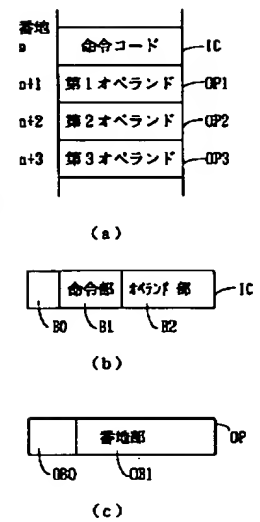
【図 1】



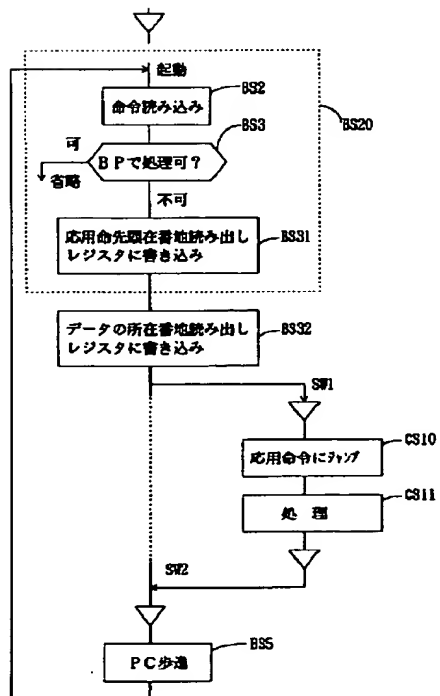
【図 2】



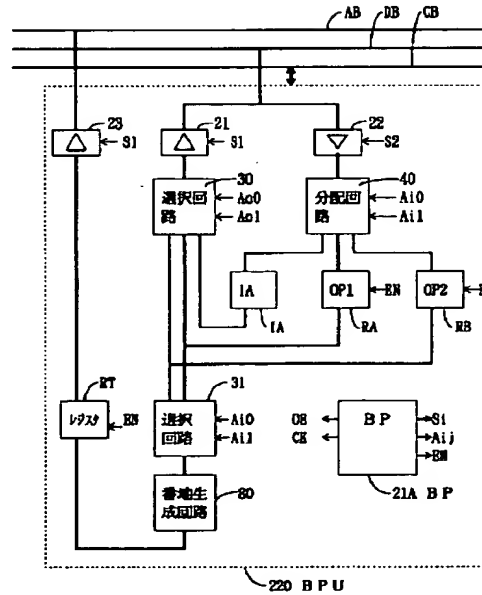
【図 8】



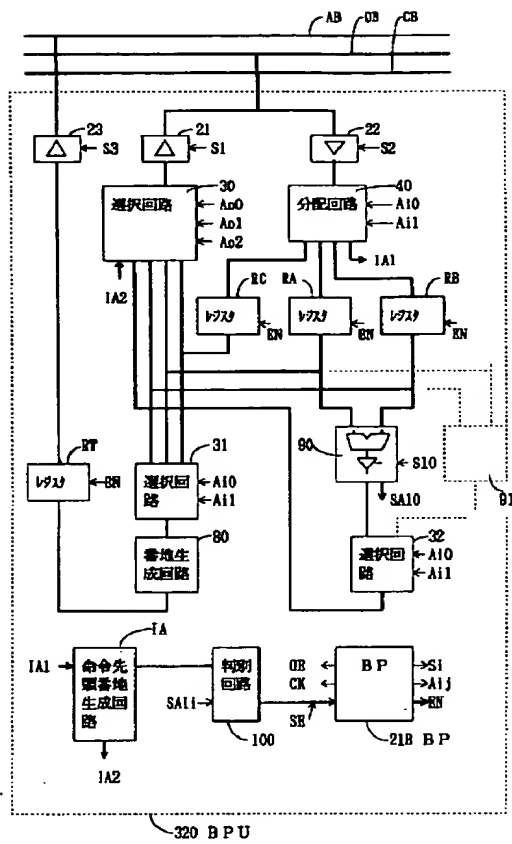
【図 3】



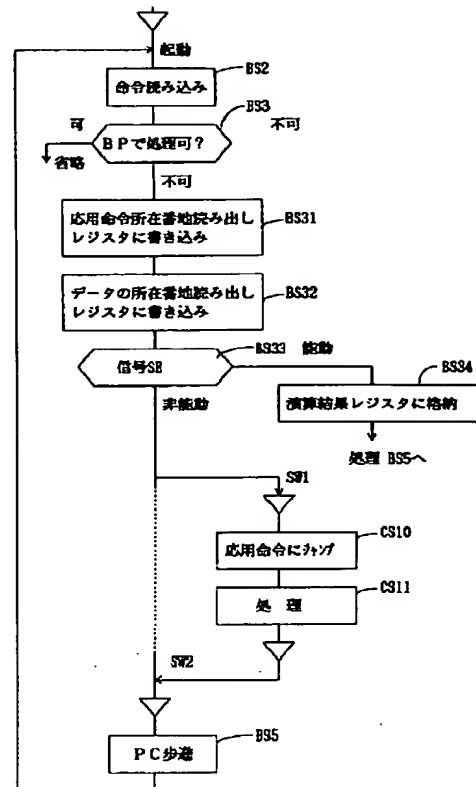
【図 4】



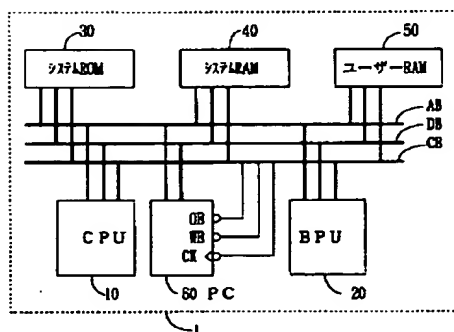
【図 5】



【図 6】



【図 7】



【図 9】

